

# **EXAME NACIONAL DO ENSINO SECUNDÁRIO**

**12.º Ano de Escolaridade (Decreto-Lei n.º 286/89, de 29 de Agosto)**

**Curso Tecnológico de Electrotecnia/Electrónica**

**Duração da prova: 120 minutos**  
**2004**

**2.ª FASE**

## **PROVA ESCRITA DE SISTEMAS DIGITAIS**

---

- A prova é constituída por dois Grupos, I e II.
- As justificações que apresentar devem ser completas e sucintas.
- A prova inclui, na página 5, a relação completa das instruções do microprocessador 8085.

## GRUPO I

1. Um circuito sequencial síncrono é constituído por três elementos de memória, com as seguintes equações de excitação:

$$J_2 = \bar{Q}_2 ; K_2 = 1 ; J_1 = K_1 = Q_0 ; J_0 = Q_1 \oplus Q_2 ; K_0 = 1$$

Sabendo que foi feito um *reset* inicial às saídas **Q** dos elementos de memória, e que **Q<sub>2</sub>** representa o *bit* mais significativo (**MSB**), determine, em decimal, a sequência produzida pelo circuito nas saídas **Q<sub>2</sub>**, **Q<sub>1</sub>** e **Q<sub>0</sub>**.

Justifique a resposta através da construção da tabela de transição de estados.

2. Considere uma unidade de memória **RAM**, organizada internamente pelo método da selecção linear (selecção unidimensional), com 5 entradas de endereço, 4 *bits* por palavra e 2 entradas de controlo: **CS** (selecção de circuito), que activa a nível alto, e **R / W** (leitura/escrita).

2.1. Indique o número total de *bits* que a unidade de memória pode armazenar.

2.2. Implemente o esquema de blocos de uma memória **RAM** de  $2\text{ k} \times 8\text{ bits}$ , a partir de unidades de memória como a indicada.

3. A figura 1 representa o diagrama de transição de estados de um circuito sequencial síncrono baseado no modelo de Mealy, com biestáveis tipo D. O circuito dispõe de uma entrada **X** de controlo e uma saída **S** que activa de acordo com as condições estabelecidas no diagrama.

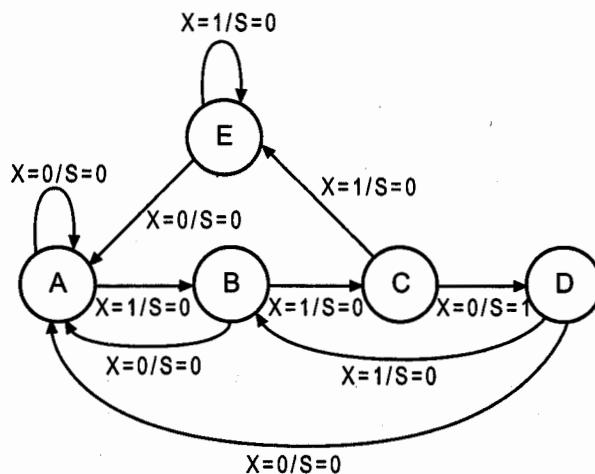


Fig. 1

Determine, na forma mais simplificada, as equações de excitação dos biestáveis, assim como a equação da saída **S** do circuito.

## GRUPO II

1. O apontador da pilha (SP) é um registo do microprocessador 8085 que se utiliza para carregar o início da **PILHA**, que tem uma estrutura do tipo **LIFO**.

1.1. Explique o significado da seguinte afirmação:

«A **PILHA** é uma memória que tem uma estrutura do tipo **LIFO**».

1.2. Se durante a execução de um programa tivesse necessidade de guardar os conteúdos dos registos **A** e **D** em duas posições consecutivas da **PILHA**, como procederia?

2. Considere o extracto de um programa em linguagem **Assembly**, com as instruções do microprocessador 8085, representado na figura 2.

Endereços	Programa em Assembly
.....	.....
1007H	LXI SP, 1FFFH
100AH	LXI D, 03E8H
100DH	LXI H, 1205H
1010H	MOV A, L
1011H	ADD E
1012H	CALL 1503H
.....	.....

Figura 2

2.1. Indique e justifique o conteúdo do acumulador após a execução da instrução **ADD E**.

2.2. Indique e justifique o conteúdo do contador de programa (**PC**) após a execução da instrução **CALL 1503H**.

3. A partir da posição de memória **1400H**, estão guardados números inteiros, positivos e negativos, representáveis com 8 bits. O bit mais significativo dos números é o de sinal («0» para números positivos e «1» para números negativos) e os sete restantes são os bits de grandeza. A quantidade de números a testar encontra-se no registo **E**.

Estabeleça um programa em linguagem **Assembly** que permita efectuar a contagem dos números positivos e negativos, e guarde os resultados dessas contagens, respectivamente, nas posições de memória **1600H** e **1601H**.

**FIM**

## INSTRUÇÕES DO MICROPROCESSADOR 8085

### INSTRUÇÕES DE TRANSFERÊNCIA DE DADOS

MOV	Mover	Mover	Mover	Mover	Mover								
	A,A 7F A,B 78 A,C 79 A,D 7A A,E 7B A,H 7C A,L 7D A,M 7E	B,A 47 B,B 40 B,C 41 B,D 42 B,E 43 B,H 44 B,L 45 B,M 46	C,A 4F C,B 48 C,C 49 C,D 4A C,E 4B C,H 4C C,L 4D C,M 4E	D,A 57 D,B 50 D,C 51 D,D 52 D,E 53 D,H 54 D,L 55 D,M 56	E,A 5F E,B 58 E,C 59 E,D 5A E,E 5B E,H 5C E,L 5D E,M 5E								
	Mover	MOV	MOV	MOV	MOV								
	H,A 67 H,B 60 H,C 61 H,D 62 H,E 63 H,H 64 H,L 65 H,M 66	L,A 6F L,B 68 L,C 69 L,D 6A L,E 6B L,H 6C L,L 6D L,M 6E	M,A 77 M,B 70 M,C 71 M,D 72 M,E 73 M,H 74 M,L 75	MVI	LXI								
	XCHG	EB			Carregar imediato								
					B,dble 01 D,dble 11 H,dble 21 SP,dble 31								
<b>Carregar/armazenar</b> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>LDAX B 0A</td><td>STAX B 02</td></tr> <tr><td>LDAX D 1A</td><td>STAX D 12</td></tr> <tr><td>LHLD end 2A</td><td>SHLD end 22</td></tr> <tr><td>LDA end 3A</td><td>STA end 32</td></tr> </table>						LDAX B 0A	STAX B 02	LDAX D 1A	STAX D 12	LHLD end 2A	SHLD end 22	LDA end 3A	STA end 32
LDAX B 0A	STAX B 02												
LDAX D 1A	STAX D 12												
LHLD end 2A	SHLD end 22												
LDA end 3A	STA end 32												
<i>end = endereço de 16 bits</i>													

### INSTRUÇÕES ARITMÉTICAS E LÓGICAS

ADD	Somar *	Somar *	Soma dupla +	Subtrair *	Subtrair *	Incrementar **
	A 87 B 80 C 81 D 82 E 83 H 84 L 85 M 86	A 8F B 88 C 89 D 8A E 8B H 8C L 8D M 8E	DAD: D 19 H 29 SP 39	A 97 B 90 C 91 D 92 E 93 H 94 L 95 M 96	A 9F B 98 C 99 D 9A E 9B H 9C L 9D M 9E	A 3C B 04 C 0C D 14 E 1C H 24 L 2C M 34
	ADC			SUB	SBB	INR
	Lógicas *	Lógicas *	Lógicas *	Lógicas *	immediatas *	INX
	A A7 B A0 C A1 D A2 E A3 H A4 L A5 M A6	A AF B A8 C A9 D AA E AB H AC L AD M AE	A B7 B B0 C B1 D B2 E B3 H B4 L B5 M B6	A BF B B8 C B9 D BA E BB H BC L BD M BE	ADI byte C6 ACI byte CE SUI byte D6 SBI byte DE ANI byte E6 XRI byte EE ORI byte F6 CPI byte FE	B 03 D 13 H 23 SP 33
	ANA	XRA	ORA	CMP	Rotação +	Decrementar **
					RLC 07 RRC 0F RAL 17 RAR 1F	A 3D B 05 C 0D D 15 E 1D H 25 L 2D M 35
						DCR
						DCX
<i>* – todos os bits de flag (S, Z, AC, P e CY) são afectados.</i> <i>** – todos os bits de flag, excepto o CY (transporte), são afectados.</i> <i>As instruções INX e DCX não afectam nenhuma flag.</i> <i>+ – apenas CY é afectado.</i> <i>P = "1" se paridade par</i>						
<i>Mnemônicos com direitos autorais reservados pela Intel Corporation.</i>						

### INSTRUÇÕES DE DESVIO

Saltar	Retornar	Chamar	RST	Recomeçar	<b>INSTRUÇÕES DE CONTROLO</b>	
	RET C9	CALL end CD			Operação com pilha PUSH B C5 D D5 H E5 PSW F5	
	RNZ C0	CNZ end C4			Entrada/Saída OUT byte D3 IN byte DB	
	RZ C8	CZ end CC			Controlo DI F3 EI FB NOP 00 HLT 76	
	RNC D0	CNC end D4			RIM 20 SIM 30	
	RC D8	CC end DC			XTHL E3 SPHL F9	
	RPO E0	CPO end E4				
	RPE E8	CPE end EC				
	RP F0	CP end F4				
	RM F8	CM end FC				

## COTAÇÕES

### GRUPO I

1.	.....	32 pontos
2.	.....	32 pontos
2.1.	.....	8 pontos
2.2.	.....	24 pontos
3.	.....	44 pontos
	Subtotal .....	<b>108 pontos</b>

### GRUPO II

1.	.....	22 pontos
1.1.	.....	8 pontos
1.2.	.....	14 pontos
2.	.....	26 pontos
2.1.	.....	14 pontos
2.2.	.....	12 pontos
3.	.....	44 pontos
	Subtotal .....	<b>92 pontos</b>
	TOTAL .....	<b>200 pontos</b>