

EXAME NACIONAL DO ENSINO SECUNDÁRIO

12.º Ano de Escolaridade (Decreto-Lei n.º 286/89, de 29 de Agosto)
Curso Tecnológico de Electrotecnia/Electrónica

Duração da prova: 120 minutos
1999

1.ª FASE
1.ª CHAMADA

PROVA ESCRITA DE SISTEMAS DIGITAIS

- As justificações que apresentar devem ser completas e sucintas.
- A prova inclui uma folha com as instruções do microprocessador 8085.

I

1. A figura 1 representa um circuito sequencial síncrono, elaborado com biestáveis tipo J-K e portas lógicas, dotado de uma entrada de controlo X e de duas saídas S_2 e S_1 . Considere $Q_1 = Q_2 = 0$ no estado inicial e Q_2 como o *bit* mais significativo (MSB).

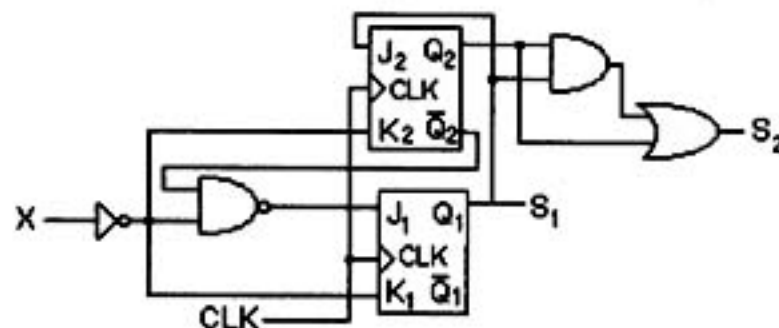


Figura 1

- 1.1. Determine as equações de excitação dos biestáveis e das saídas S_2 e S_1 . Apresente o resultado sob a forma mais simplificada possível.
- 1.2. Estabeleça o diagrama de estados do circuito.
Justifique a resposta através da construção da tabela de transições de estados.
2. Considere uma memória **RAM** organizada internamente pelo método da selecção linear (modo unidireccional), com 8 entradas de endereço (A_0 a A_7), 8 *bits* por palavra e 2 entradas de controlo R/\bar{W} (leitura/escrita) e CS (selecção de chip).
 - 2.1. Indique como se encontra estruturada a matriz da memória.
 - 2.2. Utilizando unidades de memória idênticas, estabeleça o esquema de blocos com as ligações necessárias à implementação de uma memória com o mesmo número de palavras de 16 *bits*.
 - 2.3. Considere esta memória inserida num sistema programável em que o endereço inicial das suas posições de memória é 1000H.
Determine, em numeração hexadecimal, o endereço final das suas posições de memória.

V.S.F.F.

3. A figura 2 representa o diagrama de estados de um circuito sequencial síncrono, com uma entrada **E** e uma saída **S**.
Utilizando biestáveis tipo **D**, represente o circuito lógico mais simplificado possível, capaz de cumprir as condições do diagrama de estados.
Justifique a resposta através da tabela de transições de estados.

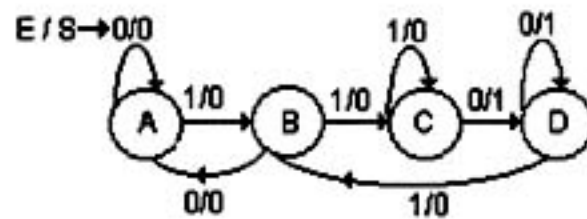


Figura 2

II

1. Antes da execução da instrução **DAD B**, os conteúdos dos pares de registos **BC** e **HL** do microprocessador 8085 são, respectivamente, **1011H** e **1EF0H**.
 - 1.1. Indique os conteúdos dos pares de registos **BC** e **HL** após a execução da instrução **DAD B**. Justifique a sua resposta.
 - 1.2. Explícite o tipo de endereçamento utilizado pela instrução **DAD B**.
2. Considere o seguinte programa, escrito em linguagem **Assembly** com as instruções do microprocessador 8085.

```

LXI H,1200H
MVI A,0AH
ADD H
STC
RAL
RST 1

```

Indique o conteúdo do acumulador após a execução do programa.
Justifique a sua resposta.

3. Utilizando as instruções do microprocessador 8085, estabeleça um programa em linguagem **Assembly** que multiplique o número **1AH** por um outro número positivo **X** guardado na posição de memória **1300H**.
O programa apenas deve guardar na posição de memória **1301H** o resultado da multiplicação, se este não exceder o número decimal 255.

FIM

INSTRUÇÕES DO MICROPROCESSADOR 8085

INSTRUÇÕES DE TRANSFERÊNCIA DE DADOS

INSTRUÇÕES DE TRANSFERÊNCIA DE DADOS

	Mover		Mover		Mover		Mover		Mover
MOV:	A,A 7F	MOV:	B,A 47	MOV:	C,A 4F	MOV:	D,A 57	MOV:	E,A 5F
	A,B 78		B,B 40		C,B 48		D,B 50		E,B 58
	A,C 79		B,C 41		C,C 49		D,C 51		E,C 59
	A,D 7A		B,D 42		C,D 4A		D,D 52		E,D 5A
	A,E 7B		B,E 43		C,E 4B		D,E 53		E,E 5B
	A,H 7C		B,H 44		C,H 4C		D,H 54		E,H 5C
	A,L 7D		B,L 45		C,L 4D		D,L 55		E,L 5D
	A,M 7E		B,M 46		C,M 4E		D,M 56		E,M 5E

	Mover		Mover		Mover imediato		Carregar imediato
MOV:	H,A 67	MOV:	L,A 6F	MVI:	A,byte 3E	LXI:	B, dble 01
	H,B 60		L,B 68		B,byte 06		D, dble 11
	H,C 61		L,C 69		C,byte 0E		H, dble 21
	H,D 62		L,D 6A		D,byte 16		SP, dble 31
	H,E 63		L,E 6B		E,byte 1E		
	H,H 64		L,H 6C		H,byte 26		
	H,L 65		L,L 6D		L,byte 2E		
	H,M 66		L,M 6E		M,byte 36		

XCHG	EB
------	----

Carregar/armazenar			
LDAX B	0A	STAX B	02
LDAX D	1A	STAX D	12
LHLD end	2A	SHLD end	22
LDA end	3A	STA end	32

end = endereço de 16 bits

INSTRUÇÕES ARITMÉTICAS E LÓGICAS

INSTRUÇÕES ARITMÉTICAS E LÓGICAS

Somar *	Somar *	Soma dupla *	Subtrair *	Subtrair *	Incrementar **
ADD:	ADC:	DAD:	SUB:	SBB:	INR:
A 87	A 8F	B 09	A 97	A 9F	A 3C
B 80	B 88	D 19	B 90	B 98	B 04
C 81	C 89	H 29	C 91	C 99	C 0C
D 82	D 8A	SP 39	D 92	D 9A	D 14
E 83	E 8B		E 93	E 9B	E 1C
H 84	H 8C		H 94	H 9C	H 24
L 85	L 8D		L 95	L 9D	L 2C
M 86	M 8E		M 96	M 9E	M 34

Lógicas *	Lógicas *	Lógicas *	Lógicas *	Imediatos *	INX:
ANA:	XRA:	ORA:	CMP:		
A A7	A AF	A B7	A BF	ADI byte C6	B 03
B A0	B A8	B B0	B B8	ACI byte CE	D 13
C A1	C A9	C B1	C B9	SUI byte D6	H 23
D A2	D AA	D B2	D BA	SBI byte DE	SP 33
E A3	E AB	E B3	E BB	ANI byte E6	
H A4	H AC	H B4	H BC	XRI byte EE	
L A5	L AD	L B5	L BD	ORI byte F6	
M A6	M AE	M B6	M BE	CPI byte FE	

Especiais	Rotação +
DAA * 27	RLC 07
CMA 2F	RRC 0F
STC + 37	RAL 17
CMC 3F	RAR 1F

* - todos os bits de flag (S, Z, AC, P e CY) são afectados

** - todos os bits de flag, excepto o CY (transporte), são afectados

As instruções INX e DCX não afectam nenhuma flag

+ - apenas CY é afectado

P = 1 se paridade par

Os mnemónicos com direitos autorais reservados pela Intel Corporation

Decrementar **
DCR:
A 3D
B 05
C 0D
D 15
E 1D
H 25
L 2D
M 35

DCX:
B 0B
D 1B
H 2B
SP 3B

INSTRUÇÕES DE DESVIO

INSTRUÇÕES DE DEBIO				CONTROLO							
Saltar		Retornar		Chamar		Recomeçar		Operação com pilha		Entrada/Saída	
JMP end C3		RET C9		CALL end C0		0 C7		PUSH:	B C5	OUT byte D3	
JNZ end C2		RNZ C0		CNZ end C4		1 CF			D D5	IN byte D6	
JZ end CA		RZ C8		CZ end CC		2 D7			H E5		
JNC end D2		RNC D0		CNC end D4		3 DF			PSW F5		
JC end DA		RC D8		CC end DC		4 E7					
JPO end E2		POR E0		CPO end E4		5 EF		POP:	B C1	DI F3	
JPE end EA		RPE E8		CPE end EC		6 F7			D D1	EI F8	
JP end F2		RP F0		CP end F4		7 FF			H E1	NOP 00	
JM end FA		RM F8		CM end FC					PSW F1	HLT 76	
PCHL E9										RIM 20	
										SIM 30	

COTAÇÕES

I

1. 30 pontos
- 1.1. 10 pontos
- 1.2. 20 pontos
2. 40 pontos
- 2.1. 10 pontos
- 2.2. 16 pontos
- 2.3. 14 pontos
3. 42 pontos

II

1. 20 pontos
- 1.1. 14 pontos
- 1.2. 6 pontos
2. 22 pontos
3. 46 pontos

TOTAL 200 pontos